

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-185319

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl.⁸

G 0 6 F 9/06

識別記号

5 4 0 N

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平6-325266

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内田 典宏

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 岡田 真希子

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

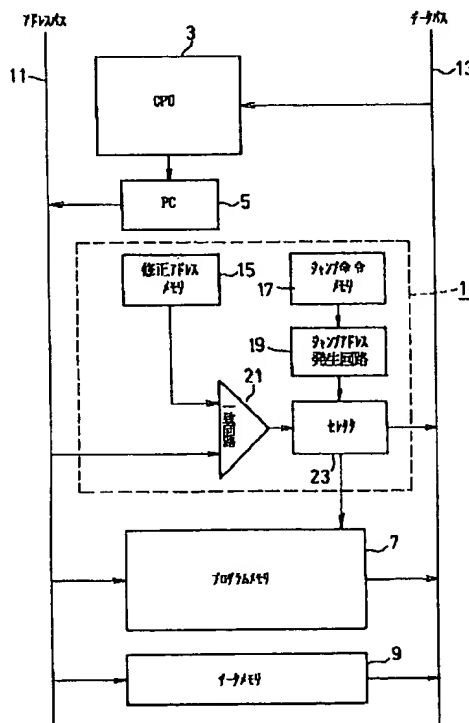
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 マイクロコンピュータ及びそのプログラム訂正方法

(57) 【要約】

【目的】 プログラムメモリに設置済みのプログラムに修正を加える場合に実行する修正プログラムを任意のメモリに設置可能であって、修正用メモリの付加を回避できるマイクロコンピュータ等を提供することを目的とする。

【構成】 読み出し専用のプログラムメモリ7に格納された命令を修正プログラムを用いて実行の修正可能なマイクロコンピュータにおいて、プログラムメモリ7の所望の訂正部分のアドレスを格納する修正アドレスメモリ15と、この修正アドレスメモリ15に格納されたアドレスと一致するアドレスが入力された場合に一致信号を出力する一致回路21と、修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリ17と、ジャンプアドレスメモリ17に格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路19と、一致回路21が出力する一致信号を入力すると修正アドレスへの無条件分岐命令を出力するセクタ23とを有してある。



1

【特許請求の範囲】

【請求項1】 読み出し専用のプログラムメモリに格納された命令をマイクロコンピュータのCPUが実行する場合に、修正プログラムを用いて前記マイクロコンピュータの実行を修正するマイクロコンピュータのプログラム訂正方法において、

読み書き可能なジャンプアドレスメモリに修正プログラムが格納されたアドレスを格納し、

前記CPUが前記プログラムメモリの所望の訂正部分のアドレスを要求した場合に、前記修正プログラムが格納されたアドレスに無条件分岐する命令を前記CPUに出力し、

前記CPUは読み書き可能なデータメモリ内の修正プログラムを実行することを特徴とするマイクロコンピュータのプログラム訂正方法。

【請求項2】 読み出し専用のプログラムメモリに格納された命令をマイクロコンピュータが実行する場合に、修正プログラムを用いて実行を修正するマイクロコンピュータにおいて、

前記プログラムメモリの所望の訂正部分のアドレスを格納する修正アドレスメモリと、

この修正アドレスメモリに格納されたアドレスと一致するアドレスが入力された場合に一致信号を出力する一致回路と、

前記修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリと、

前記ジャンプアドレスメモリに格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路と、

前記一致回路が出力する一致信号を入力すると前記ジャンプ命令発生回路が出力する修正アドレスへの無条件分岐命令を出力するセクタと、

を有するプログラム訂正装置を具備することを特徴とするマイクロコンピュータ。

【請求項3】 各種命令の実行するCPUと、

このCPUが実行する命令を保持する読み出し専用のプログラムメモリと、

前記CPUの実行に必要な情報を一時的に保持するデータメモリと、

前記プログラムメモリの所望の訂正部分のアドレスを格納する修正アドレスメモリ、この修正アドレスメモリに格納されたアドレスと一致するアドレスが入力された場合に一致信号を出力する一致回路、前記修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリ、前記ジャンプアドレスメモリに格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路、及び前記一致回路が出力する一致信号を入力すると前記ジャンプ命令発生回路が出力する修正アドレスへの無条件分岐命令を出力するセクタを有するプログラム訂正装置と、

2

を有し、前記CPUが実行する無条件分岐命令の分岐先が前記データメモリであることを特徴とするマイクロコンピュータ。

【請求項4】 前記プログラム訂正装置を複数設けたことを特徴とする請求項3記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プログラムメモリに設置済みのプログラムを修正することができるマイクロコンピュータ及びそのプログラム訂正方法に関し、特に、修正プログラムを任意の既存メモリに設置し、この既存メモリを有効に利用することができるマイクロコンピュータ及びそのプログラム訂正方法に関する。

【0002】

【従来の技術】一般的にマイクロコンピュータのプログラムメモリには、読み出し専用のROM (Read Only Memory、以下、単にROMと記す)、例えば、単価が安い等の理由からMROM (Masked Read Only Memory)などが用いられるが、通常ROMは、随時書き込み・消去ができないため、ROMに設置済みのプログラムの仕様変更やプログラムミス等の何等かの不具合があった場合には、後から直接プログラムを書き替えて修正を加えることができなかった。このため、一般的なマイクロコンピュータはプログラム訂正装置なる特別な装置をマイクロコンピュータに内蔵し、修正プログラムを実行することでマイクロコンピュータの実行に変更を加えている。

【0003】以下、図4を参照して、従来のプログラム訂正装置を具備するマイクロコンピュータについて説明する。図4は、従来のマイクロコンピュータの一構成例を示すブロック図である。このマイクロコンピュータは、各種の命令（プログラム）を実行する中央処理装置（以下、単にCPUと記す）3と、このCPU3が次に実行する命令プログラムのアドレス保持するプログラムカウンタ（以下、単にPCと記す）5と、プログラムを設置するためのプログラムメモリ7と、CPU3の実行に必要な情報を一時的に保持するデータメモリ9と、CPU3が実行するプログラムの訂正を行うプログラム訂正装置25と、修正用プログラムを設置するための修正用メモリあるいは修正用レジスタ（以下、単に修正用メモリと記す）29とを有し、これらは、アドレスバス11及びデータバス13にそれぞれ接続されている。

【0004】ここで、プログラム訂正装置25は、プログラム修正部分のアドレスを保持するための修正アドレスメモリ15と、この修正アドレスメモリ15で保持される修正アドレスとPC5が示すアドレスとを入力し、両アドレスの一致を検出した場合には一致信号を出力する一致回路21と、PC5のアドレスを修正用メモリ29の先頭アドレスに強制的に変更させることができる固定アドレス発生回路27とを有している。

【0005】修正アドレスメモリ15及び修正用メモリ

3

29は、随時書き替え可能なRAM(Random Access Memory、以下、単にRAMと記す)、中でもリフレッシュ作業を必要としないSRAM(Static Random Access Memory、以下、単にSRAMと記す)がよく用いられる。

【0006】次に、従来のプログラム訂正装置25を具備するマイクロコンピュータの動作について説明する。まず、CPU3は各種の命令を実行するために所望の命令をプログラムメモリ7から読み込む。この際、一般的にはCPU3はPC5の値を更新し、この値が示すアドレスをアドレスバス11に出力する。このアドレスバス11に接続されたプログラムメモリ7はPC5が出力したアドレスを入力し、このアドレスに格納された命令をデータバス13へ出力する。この命令をCPU3が入力することにより各種の命令を逐次実行することができる。ここで、PC5が出力したアドレスは同時にプログラム訂正装置25が有する一致回路21にも入力される。この一致回路21は、修正アドレスメモリ15に格納されたアドレスと、アドレスバス11からの入力とを比較し、一致する場合には、固定アドレス発生回路27へ一致信号を送出する。

【0007】ここで、PC5が、修正アドレスメモリ15に格納されたアドレス、すなわち、プログラムの不具合部分のアドレスに更新されると、一致回路21は修正アドレスメモリ15に格納されたアドレスとPC5が保持するアドレスとの一致を検出し、一致信号を固定アドレス発生回路27に送出する。この一致信号を受け取った固定アドレス発生回路27は、PC5が示すアドレスを修正用メモリ29の先頭アドレスに変更する。この変更されたアドレスを修正用メモリ29が入力し、その先頭アドレスに格納された命令をデータバス13へ出力し、CPU3はその命令を実行する。この修正用メモリ29の最後にプログラムメモリ7の所定のアドレスに戻る命令を追加すれば、CPU3はこの命令を実行することで、PC5を所定のアドレスに更新し、再びプログラムメモリ7の所定の命令を実行することができる。

【0008】以上のようにして、プログラムの不具合部分は実行せずに、代わりに修正プログラムを実行することで読み出し専用のプログラムメモリに格納されたプログラムの実行に修正を加えることができる。

【0009】

【発明が解決しようとする課題】しかしながら、従来のマイクロコンピュータには次のような問題があった。従来からマイクロコンピュータに付加されている既存のメモリ、例えばデータメモリ9には修正プログラムを設置するには十分なメモリ領域を有しているにもかかわらず、データメモリ9には設置することができない点である。

【0010】従来のプログラム訂正装置25では、固定アドレス発生回路27にて強制的に変更できるPC5のアドレスは修正用メモリ29の先頭番地に固定されて

4

た。これは、不具合が生じた場合にはそれ専用のメモリを用いることで汎用性を確保したためである。すなわち、修正プログラムをデータメモリ9に設置すると、データメモリ9のメモリ領域の一部分は修正プログラムに専有されてしまうため、データメモリ9の使用が制限されてしまう。この制限は、多用途の目的で製造されるマイクロコンピュータにとって致命的な欠点となってしまったため、従来のプログラム訂正装置25では、データメモリ9に十分なメモリ領域があるにもかかわらず、修正用メモリ29を別途設ける必要があった。

【0011】また、修正プログラムの大きさは、それを設置する修正用メモリ29の容量の大きさに制限されてしまうという問題もあった。修正用メモリ29は、その性質上10~20バイト程度の固定の容量しか持つことができないからである。

【0012】一方、プログラムメモリ7に設置済みのプログラムに不具合がなかった場合には、修正用メモリ29に修正プログラムを書き込む必要がなくなるため、修正用メモリ29は全く使用されず、修正用メモリ29は使う用途のないメモリとなってしまう、ハードウェア量の増加や製造コストの増加等の不利益を生じた。

【0013】本発明は上記事情に鑑みて成されたものであり、その目的は、プログラムメモリに設置済みのプログラムに修正を加える場合にプログラムの不具合部分の代わりに実行する修正プログラムを任意の既存メモリに設置することができ、修正用メモリの付加を回避することができるマイクロコンピュータ及びそのプログラム訂正方法を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するため、第1の発明の特徴は、読み出し専用のプログラムメモリに格納された命令をマイクロコンピュータのCPUが実行する場合に、修正プログラムを用いて前記マイクロコンピュータの実行を修正するマイクロコンピュータのプログラム訂正方法において、読み書き可能なジャンプアドレスメモリに修正プログラムが格納されたアドレスを格納し、前記CPUが前記プログラムメモリの所望の訂正部分のアドレスを要求した場合に、前記修正プログラムが格納されたアドレスに無条件分岐する命令を前記CPUに出力し、前記CPUは読み書き可能なデータメモリ内の修正プログラムを実行することである。

【0015】また、第2の発明の特徴は、読み出し専用のプログラムメモリに格納された命令をマイクロコンピュータが実行する場合に、修正プログラムを用いて実行を修正するマイクロコンピュータにおいて、前記プログラムメモリの所望の訂正部分のアドレスを格納する修正アドレスメモリと、この修正アドレスメモリに格納されたアドレスと一致するアドレスが入力された場合に一致信号を出力する一致回路と、前記修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリ

5

と、前記ジャンプアドレスメモリに格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路と、前記一致回路が出力する一致信号を入力すると前記ジャンプ命令発生回路が出力する修正アドレスへの無条件分岐命令を出力するセレクトとを有するプログラム訂正装置を具備することである。

【0016】また、第3の発明の特徴は、各種命令の実行するCPUと、このCPUが実行する命令を保持する読み出し専用のプログラムメモリと、前記CPUの実行に必要な情報を一時的に保持するデータメモリと、前記プログラムメモリの所望の訂正部分のアドレスを格納する修正アドレスメモリ、この修正アドレスメモリに格納されたアドレスと一致するアドレスが入力された場合に一致信号を出力する一致回路、前記修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリ、前記ジャンプアドレスメモリに格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路、及び前記一致回路が出力する一致信号を入力すると前記ジャンプ命令発生回路が出力する修正アドレスへの無条件分岐命令を出力するセレクトを有するプログラム訂正装置とを有し、前記CPUが実行する無条件分岐命令の分岐先が前記データメモリであることである。

【0017】ここで、第3の発明においては、前記プログラム訂正装置を複数設けたことで、複数のプログラムの修正を行えるという点で好ましい。

【0018】また、ジャンプアドレスメモリは格納されたアドレスの書き替え可能であり、かつ、リフレッシュ作業等の必要がないSRAMが好ましい。

【0019】

【作用】本発明によれば、読み書き可能なジャンプアドレスメモリに修正プログラムが格納されたアドレスを格納しているので、プログラムの不具合部分の代わりに実行される修正プログラムを任意の既存メモリに設置することができるので、修正プログラム設置専用の修正用メモリを必要としないで済むのである。

【0020】また、第3の発明に係るマイクロコンピュータによれば、プログラムの不具合部分の代わりに実行される修正プログラムを任意の既存メモリに設置することができるので、余計に修正プログラム設置専用の修正用メモリを必要としないため、マイクロコンピュータのハードウェア量を低減することができる。これにより、マイクロコンピュータの表面積や生産コストを抑えることができるのである。更に、プログラム訂正装置を複数設けることで、複数のプログラムの修正にも対応することができるのである。

【0021】

【実施例】以下、本発明に係るプログラム訂正装置を具備するマイクロコンピュータについて図面に基づいて説明する。

【0022】第1実施例

6

図1は、本発明の実施例に係るマイクロコンピュータの一構成例を示すブロック図である。従来例の図4と同一部分には、同一符号を付してある。このマイクロコンピュータは、各種の命令を実行する中央処理装置（以下、単にCPUと記す）3と、このCPU3が次に実行する命令のアドレスを記憶するプログラムカウンタ（以下、単にPCと記す）5と、プログラムを設置するための読み出し専用のプログラムメモリ7と、CPU3の実行に必要な情報を一時的に保持するデータメモリ9と、CPU3が実行するプログラムの訂正を行うプログラム訂正装置1と有し、アドレスバス11によりPC5、プログラム訂正装置1、プログラムメモリ7、及びデータメモリ9を接続し、また、データバス13はCPU3、プログラム訂正装置1、プログラムメモリ7、及びデータメモリ9を接続し、各種のデータの受け渡しを行う。

【0023】ここで、プログラム訂正装置1は、プログラムメモリ7の所望の訂正部分のアドレスを格納する修正アドレスメモリ15と、この修正アドレスメモリ15に格納されたアドレスと一致するアドレスがアドレスバス11から入力された場合に一致信号を出力する一致回路21と、修正プログラムが格納されているアドレスを格納するジャンプアドレスメモリ17と、ジャンプアドレスメモリ17に格納された修正アドレスへの無条件分岐命令を発生するジャンプ命令発生回路19と、一致回路21が出力する一致信号を入力するとプログラムメモリ7へ出力禁止信号を出力し、ジャンプ命令発生回路19が出力する修正アドレスへの無条件分岐命令をデータバス13へ出力するセレクト23とを有している。ここで用いられるジャンプアドレスメモリ17は、随時書き替え可能なRAM、中でもリフレッシュ作業を必要としないSRAMで構成することが好ましい。ここで、ジャンプアドレスメモリ17にRAMを用いるのは、ジャンプアドレスメモリ17に格納されるアドレスを書き換え可能にするためである。

【0024】修正アドレスメモリ15は、プログラムメモリ7に格納されるプログラムの不具合部分（修正部分）のアドレスが格納されている。修正部分が複数行に及ぶ場合には、その修正部分の先頭行のアドレスを格納する。

【0025】一致回路21は、修正アドレスメモリ15に格納されたアドレス及びアドレスバス11から入力されるアドレスを入力し、この2つのアドレスが一致しているか否かの判断を行う。この判断により一致が検出された場合には一致信号を出力する。

【0026】ジャンプアドレスメモリ17は、無条件分岐命令、例えばジャンプ命令の移動先のアドレスを格納するものである。なお、このジャンプアドレスメモリ17は、格納されたアドレスの書き替え可能であり、かつ、リフレッシュ作業等の必要がないSRAMが好ましい。

50

【0027】ジャンプ命令発生回路19は、ジャンプアドレスメモリ17に格納されたアドレスを入力し、CPU3が実行する命令を無条件分岐命令の移動先へ変更させるための命令を作成するためのものである。ここでの命令の作成は、従来のようにソフトウェアを読み込むのではなく、ハードウェアにて直接命令を作成するものである。具体的には、無条件分岐命令のニーモニックに対応するオペレーションコードに移動先のアドレスを付加することにより作成する。

【0028】セクタ23は、一致回路21から一致信号を入力した場合にはプログラムメモリ7へ出力禁止信号を出力し、ジャンプ命令発生回路19にて生成されたジャンプアドレス命令をデータバス13に出力するものである。

【0029】次に、本発明の実施例のマイクロコンピュータのプログラム訂正装置1の動作について説明する。まず、このマイクロコンピュータの基本的な動作について説明する。

【0030】通常、システムに電源が投入されると、あるいは、システムがリセットされると、PC5が示すアドレスはリセットされる。CPU3は所望の命令が格納されたアドレスをPC5に出力する。PC5に格納されたアドレスはアドレスバス11を通して接続されたプログラム訂正装置1、プログラムメモリ7、及びデータメモリ9にそれぞれ入力される。通常は、プログラムメモリ7に該当するアドレスに格納された命令を保持しているので、プログラムメモリ7はその命令をデータバス13へ出力する。CPU3は、プログラムメモリ7から出力された命令をデータバス13を通して読み込む。CPU3は、PC5が示すアドレスのインクリメント及び読み込んだ命令を実行する。従って、PC5は次に実行される命令のアドレスを示すこととなる。以上のようにして、CPU3は、プログラムメモリ7に設置されたプログラムを逐次実行されていくことができる。また、CPU3は、PC5を命令によって制御し、PC5が示すアドレスを変更させてプログラムメモリ7に設置されたプログラムの命令の実行順序を変えることもできる。

【0031】次に、プログラムの不具合部分を実行せずに代わりに修正プログラムを実行する場合の動作について説明する。まず、プログラムの不具合部分の代わりに実行させる修正プログラムを設置する。この設置については、プログラム訂正装置1が修正プログラムを任意のアドレスに設置することができるので、修正プログラムは既存のメモリ、例えばCPU3の実行に必要な情報を一時的に保持するデータメモリ9の任意のアドレスに設置することができる。ここで、データメモリ9は十分なメモリ領域を有しているので、その一部を修正プログラムの設置に利用することは非常に有効である。以上のようにデータメモリ9に修正プログラムを設置することで、修正プログラムの規模の大きい修正にも対応するこ

とができる。

【0032】次に、修正アドレスメモリ15にプログラムの不具合部分のアドレスを、またジャンプアドレス17に修正プログラムのアドレスをそれぞれ保持させる。

【0033】以上の設定が終了次第、通常通りシステムを作動させると、上述したように、CPU3はプログラムメモリ7からPC5が示すアドレスの命令を順次取り出し、その命令を実行していく。

【0034】一方、PC5が示すアドレスの情報は、アドレスバス11を通して一致回路21にも送られており、一致回路21はPC5が示すアドレスと修正アドレスメモリ15に格納されたアドレスとの一致または不一致を判断している。ここで、PC5が修正アドレスメモリ15に格納されたアドレスと同じアドレスを示すと、一致回路21は修正アドレスメモリ15に格納されたアドレスとPC5が示すアドレスとが一致したと判断し、セクタ23に一致信号を出力する。セクタ23は一致信号が入力されると、プログラムメモリ7へ出力禁止信号を出力し、ジャンプ命令発生回路19が生成したジャンプ命令をデータバス13に出力する。CPU3は、データバス13を通して前記ジャンプ命令を読み込み、PC5が示すアドレスを上記ジャンプ命令が指示するアドレスに変更し、PC5が示す変更後のアドレスをアドレスバス11に出力する。このアドレスバス11に接続されたデータメモリ9はPC5が示す変更後のアドレスを入力し、このアドレスの命令をデータバス13に出力し、CPU3は、その命令を実行する。修正プログラムの最後にプログラムメモリ7の所定のアドレスに戻る命令を追加すれば、CPU3はこの命令を実行することで、PC5を所定のアドレスに更新し、再びプログラムメモリ7の所定の命令を実行することができる。

【0035】以上のようにして、プログラムの不具合部分を実行せずに代わりに任意の既存メモリに設置された修正プログラムを実行することができる。

【0036】次に、修正アドレスメモリ15とジャンプアドレスメモリ17の設定例について、図2を参照して説明する。図2は、プログラムメモリ7に設置済みのプログラムの55番地の不具合のある命令の代わりにデータメモリ9の100～102番地に設置された修正プログラムの命令を実行するために、修正アドレスメモリ15にプログラムメモリ7の55番地を指定し、ジャンプアドレスメモリ17にデータメモリ9の100番地を指定した場合である。

【0037】上述したように、CPU3は、PC5が示すアドレスの命令を順次読み込み、実行して行くわけであるが、PC5が55番地のアドレスを示すと、一致回路21によりセクタ23が切替えられ、ジャンプ命令発生回路19が発生させるジャンプ命令(図中A)がCPU3に読み込まれる。そして、CPU3は、PC5が示すアドレスを55番地から100番地に変更し、デー

タメモリ9の100番地を読み込み、実行する。その後、順次命令を実行し、102番地のジャンプ命令(図中B)を実行され、プログラムメモリ7の56番地に戻る事となる。

【0038】従って、プログラムメモリ7に設置済みのプログラムの55番地の命令の代わりにデータメモリ9の100～102番地に設置された修正プログラムの命令を実行できたこととなる。

【0039】以上の様にして、データメモリ9に設置された修正プログラムをプログラムの不具合部分の代わり

【0040】第2実施例

次に、上述した本発明によるプログラム訂正装置の第2の実施例について説明する。この実施例は、図3に示すように、複数のプログラム訂正装置1が並列にアドレスバス11とデータバス13に接続されているものである。すなわち、プログラムに同時に複数の不具合が存在する場合に対応できるように、複数の修正プログラムのアドレスを指定できるようにしたものである。従って、各プログラム訂正装置にプログラムの不具合部分のアド

【0041】

【発明の効果】以上説明したように、本発明によれば、修正プログラムは任意の既存メモリに設置することができるので、上記修正プログラムの大きさは制限されず、上記既存メモリを有効に利用することにもなる。

【0042】また、第3の発明のマイクロコンピュータ

によれば、既存のメモリ以外に余計に修正用メモリを必要とせず、コストを抑えることができる。さらに、プログラム訂正装置を複数設けることで、プログラムに複数の修正を加えることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るマイクロコンピュータの構成を示すブロック図である。

【図2】本発明に係るマイクロコンピュータの第1の実施例を示すブロック図である。

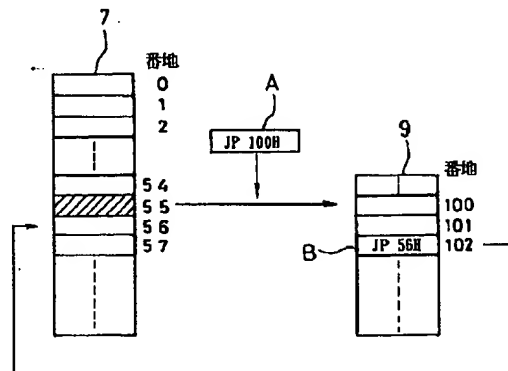
【図3】本発明に係るマイクロコンピュータの第2の実施例を示すブロック図である。

【図4】従来のマイクロコンピュータの一構成例を示すブロック図である。

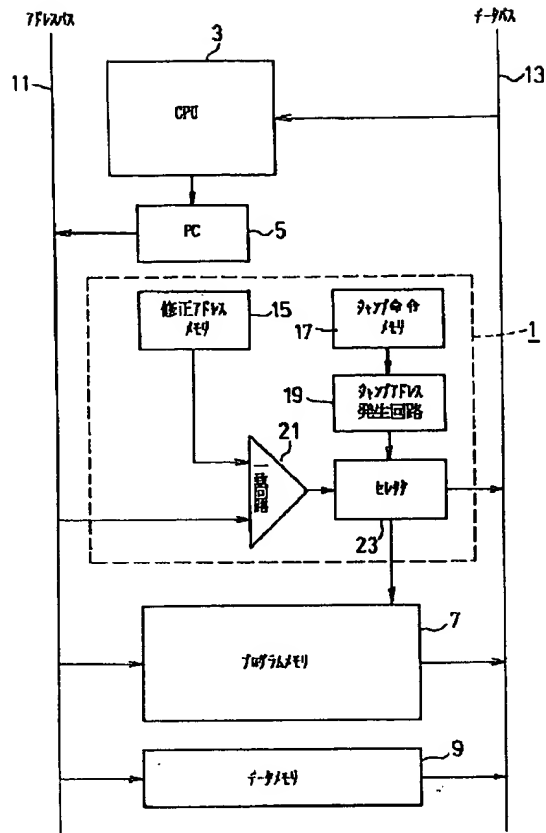
【符号の説明】

- 1 プログラム訂正装置
- 3 中央処理装置(CPU)
- 5 プログラムカウンタ
- 7 プログラムメモリ
- 9 データメモリ
- 11 アドレスバス
- 13 データバス
- 15 修正アドレスメモリ
- 17 ジャンプアドレスメモリ
- 19 ジャンプ命令発生回路
- 21 一致回路
- 23 セレクタ
- 25 従来のプログラム訂正装置の一構成例
- 27 固定アドレス発生回路
- 29 修正用メモリ

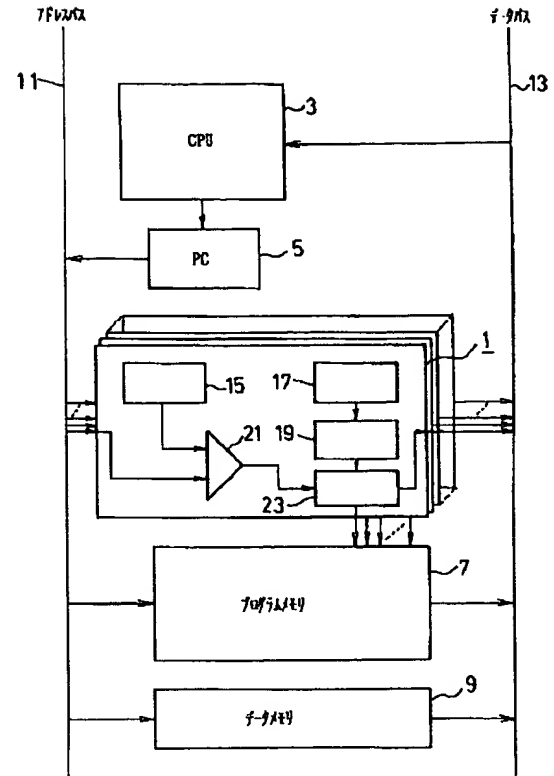
【図2】



【図1】



【図3】



【図4】

